

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.
004837437

WPI Acc No: 1986-340778/198652

XRPX Acc No: N86-254314

Digital-analogue converter e.g. for graphics display - produces
piecewise-linear response as function of binary input code activating
output stages

Patent Assignee: PHILIPS GLOEILAMPENFAB NV (PHIG); LEP LAB ELECTRONIQUE
PHILIPS (PHIG); LAB ELECTRONIQUE PHILIPS (PHIG)

Inventor: GOBERT J; MICHEL J P

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 206419	A	19861230	EP 86201058	A	19860618	198652 B
FR 2583941	A	19861226				198705
JP 61295721	A	19861226	JP 86144017	A	19860621	198706
EP 206419	B1	19920513	EP 86201058	A	19860618	199220
DE 3685265	G	19920617	DE 3685265	A	19860618	199226
			EP 86201058	A	19860618	

Priority Applications (No Type Date): FR 859492 A 19850621

Cited Patents: DE 2532580; FR 2155877; FR 2280274; US 3705359; US 4251755

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 206419	A	F	20	

Designated States (Regional): DE FR GB

EP 206419	B1	F	13	H03M-001/68
-----------	----	---	----	-------------

Designated States (Regional): DE FR GB

DE 3685265	G		H03M-001/68	Based on patent EP 206419
------------	---	--	-------------	---------------------------

Abstract (Basic): EP 206419 B

A number (p) of bits are stored in an input register (11) connected to a selector (13) and a control circuit (14) which provides a smaller number (s) of digital signals to operate the selector. The number of output stages (12) is one less than the sum of p plus 2 to the power s. The response curve is segmented into 2 to the power s straight sections whose slope decreases progressively.

An adder (15) provides an output in accordance with increments distributed over a binary weighting scale. The control circuit (14) may be a simple OR gate with p inputs.

USE/ADVANTAGE - For TV receiver or synthetic-image graphics display. Close approximation to inverse of CRT gamma curve is obtd. and circuit is easily extended to accept more bits of input code. (20pp Dwg.No.1/7)

Title Terms: DIGITAL-ANALOGUE; CONVERTER; GRAPHIC; DISPLAY; PRODUCE; LINEAR ; RESPOND; FUNCTION; BINARY; INPUT; CODE; ACTIVATE; OUTPUT; STAGE

Derwent Class: P85; T04; U21; W03

International Patent Class (Main): H03M-001/68

International Patent Class (Additional): G09G-001/28; H04N-005/20;

H04N-005/202; H04N-009/69

File Segment: EPI; EngPI

⑫ 公開特許公報 (A)

昭61-295721

⑬ Int.Cl.⁴
H 03 M 1/66識別記号 庁内整理番号
D-6832-5J

⑭ 公開 昭和61年(1986)12月26日

審査請求 未請求 発明の数 4 (全8頁)

⑮ 発明の名称 ディジタル-アナログ変換回路

⑯ 特願 昭61-144017

⑰ 出願 昭61(1986)6月21日

優先権主張 ⑮ 1985年6月21日 ⑯ フランス(FR) ⑰ 8509492

⑮ 発明者 ジャン・ゴベール フランス国 94700 メゾン アルフォー アヴニユ ガンベツタ 130

⑮ 発明者 ジャン-ピエール・ミシエル フランス国 91330 イエール リュ アデル 6

⑮ 出願人 エヌ・ベー・フィリップス・フルーランペ オランダ国 5621 ベーアー アイントーフエン フルーランフェアブリケン

⑮ 代理人 弁理士 杉村 晓秀 外1名

明細書

1. 発明の名称 ディジタル-アナログ変換回路

2. 特許請求の範囲

1. 2値の重み付きスケールに沿って分布された増分に従って出力信号を発生する加算器に作用し、M個の出力段を作動するp個の2進素子B_nより成る入力符号に依存し非直線性の応答を行うディジタル-アナログ変換回路において、出力信号が区分化非直線性応答の特性を呈するようにした変換手段を設け、この区分化非直線性応答は傾斜PS_nのうちの一連の直線セグメントS_nより成り、2つの連続するセグメントの傾斜が次式、PS_n+1=PS_n+△P_nで示される関係を有し、ここに△P_nは区分化非直線性応答の全体に対し同一の符号を保持するようにしたことを特徴とするディジタル-アナログ変換回路。

2. 2値の重み付きスケールに沿って分布された増分に従って加算器により出力信号に作用するM個の出力段の第1の部分を作動するp

個の2進素子B_nより成る入力符号に依存して非直線性の応答を行い、2進素子の組合せを形成する少なくとも1個の論理ゲートを具え、該論理ゲートの出力によって前記加算器と相俟って出力信号に作用する前記M個の出力段の第2の部分を作動するディジタル-アナログ変換回路において、出力信号が区分化非直線性応答の特性を呈するようにした変換手段を設け、この区分化非直線性応答は傾斜PS_nのうちの一連の直線セグメントS_nより成り、2つの連続するセグメントの傾斜が次式、PS_n+1=PS_n+△P_nで示される関係を有し、ここに△P_nは区分化非直線性応答の全体に対し同一の符号を保持するようにしたことを特徴とするディジタル-アナログ変換回路。

3. 変換手段は、少なくとも1個の2進素子から、s個のディジタル制御信号(s≥1)を発生する制御回路とs個のディジタル制御信号により作動し、k個の最下位の重み付き2

進素子の全部を k 個の出力段 ($k \geq M - 1$) に向かって桁送りするセレクタとを具えることとを特徴とする特許請求の範囲第1項又は第2項の何れかの項に記載のディジタル-アナログ変換回路。

4. 論理ゲートをORゲートとし、変換手段によって傾斜の変化 ΔP_n を負とした場合の出力信号の区分化非直線応答を陰極線表示管の“ガンマ”曲線の逆数に近似させるようにしたことを特徴とする特許請求の範囲第2項に関連する特許請求の範囲第3項に記載のディジタル-アナログ変換回路。
5. 陰極線表示管をカラー管とし、前記制御回路によって色信号の色、赤、緑又は青の各々を処理するようにしたことを特徴とする特許請求の範囲第4項に記載のディジタル-アナログ変換回路。
6. 特許請求の範囲第4項又は第5項の何れかの項に記載のディジタル-アナログ変換回路を少なくとも1個具えることを特徴とするゲ

ラフィック表示装置。

7. 特許請求の範囲第4項又は第5項の何れかの項に記載のディジタル-アナログ変換回路を少なくとも1個具えることを特徴とするテレビジョン受像機。
8. 論理ゲートをANDゲートとし、傾斜の変化 ΔP_n を正としたことを特徴とする特許請求の範囲第2項に関連する特許請求の範囲第3項に記載のディジタル-アナログ変換回路。

3. 発明の詳細な説明

本発明は2価の重み付きスケールに沿って分布された増分に従って出力信号を発生する加算器に作用し、 M 個の出力段を作動する p 個の2進素子 B 、より成る入力符号に依存し非直線性の応答を行うディジタル-アナログ変換回路に関するものである。

又、本発明は2価の重み付きスケールに沿って分布された増分に従って加算器により出力信号に作用する M 個の出力段の第1の部分を作動する p 個の2進素子 B 、より成る入力符号に依存して非

直線性の応答を行い、2進素子の組合せを形成する少なくとも1個の論理ゲートを具え、該論理ゲートの出力によって前記加算器と相俟って出力信号に作用する前記 M 個の出力段の第2の部分を作動するディジタル-アナログ変換回路に関するものである。

更に、本発明は合成像を再生するために特に用いるかかるディジタル-アナログ変換回路を設けたテレビジョン受像機又はグラフィック表示装置に関するものである。

この種の回路はフランス国特許第2417901号明細書に記載されている。この回路によって、赤色信号(R)、緑色信号(G)及び青色信号(B)から再生した単色信号の灰色の階調スケールを改善し得る手段を提供し、特に低輝度における特性を改善するようしている。これがため、係数により重み付けされたR、G、B色信号の組合せを変換して低輝度において高輝度の再生を行なうようにしている。

この回路は、入力符号に比例する再生によって色信号R、G、Bの各々に対する単色の灰色階調

スケールの再生処理を行うものではない。これは、一般に“表示管のガンマ曲線”と称されるパラメータを考慮することによってのみ行い得るものである。

本発明の目的は、色信号R、G、Bの各々の強度に対し、任意の入力符号で直線的に変化する単色の輝度を再生せんとするにある。この場合には表示管の“ガンマ”曲線を考慮する必要がある。

本発明の他の目的は、応答曲線が表示管の“ガンマ”曲線の逆数に近似し、入力符号の2進素子の数 P に依存し変換回路の拡張を容易に行い得るようにした構成簡単な低価格のディジタル-アナログ変換回路を提供せんとするにある。

本発明の更に他の目的は、ディジタル入力符号による出力信号の変化を一連のセグメントにより立上りまたは立下り傾斜を有する曲線に近似し得るようにしたディジタル-アナログ変換回路を提供せんとするにある。

本発明は2価の重み付きスケールに沿って分布された増分に従って出力信号を発生する加算器に

作用し、M個の出力段を作動するp個の2進素子B₁より成る入力符号に依存し非直線性の応答を行うディジタル-アナログ変換回路において、出力信号が区分化非直線性応答の特性を呈するようとした変換手段を設け、この区分化非直線性応答は傾斜PS_nのうちの一連の直線セグメントS_nより成り、2つの連続するセグメントの傾斜が次式、 $PS_n + 1 = PS_n + \Delta P_n$ で示される関係を有し、ここに ΔP_n は区分化非直線性応答の全体に対し同一の符号を保持するようにしたことを特徴とする。

本発明の実施に当り、変換手段は、少なくとも1個の2進素子から、s個のディジタル制御信号(s≥1)を発生する制御回路とs個のディジタル制御信号により作動し、k個の最下位の重み付き2進素子の全部をk個の出力段(k≥M-1)に向かって析送りするセレクタとを具えるようする。

制御回路により供給されるs個の制御信号によってセレクタにおいて2^s回の変換を行うようする。従って2^s個のセグメントによって一つの曲

線の近似を行い得るようにする。これがため所望の出力段の最大数をp+sとしこれにより2^s個のセグメントをカバーし得るようにする。

変換回路がM個の出力段の第2の部分を作動する論理ゲートを具える場合には、s個のディジタル制御信号を用いて得られる2^s個のセグメントへの区分化に重複される出力信号のレベルを全て析送りし得るようにする。

これら論理ゲートによってM個の出力段の一つを作動させるようにする。論理ゲートをORゲートとする場合には傾斜の変化 ΔP_n が負となる曲線の近似を行うことができる。又、論理ゲートをANDゲートとする場合には傾斜の変化 ΔP_n が正となる曲線の近似を行うことができる。

本発明は、特に陰極線表示管の“ガンマ”曲線の逆数の近似に適用することができる。

陰極線型のカラー受像管は非直線性制御電圧-螢光物質の輝度変換応答特性を有する。カラー受像管では3電子管によって3つの制御電圧を次式 $Y = k \cdot v \tau$ に従って変換する。ここにvは像の

輝度信号、Yは輝度、kは定数である。

カラー管の3つの電子管は1.5～3のべき指数でほぼ同一の応答を行う。かように非直線性の応答を行うことは、輝度信号 $v' = v^{1/2}$ をテレビジョン受像機または表示装置に供給して制御信号を予め補正する必要があることを意味する。

原色R、G、Bの3つの電子管の各々に供給するかかる補正は本発明変換回路により行うことができる。

本発明の好適な例では輝度が増大するにつれて傾斜が減少する3つのセグメントによって近似する。

符号を4個の2進素子(p=4)で構成し、p+2段が、2価の重み1/2、1/4、1/8、1/16、1/32及び1/4に従って分布された電流源で構成されるものとする。

又、零輝度及び高輝度が入力符号0000及び1111に夫々相当するものとする。

これら3個のセグメントを得るために、本発明によれば最上位の重み付き2進素子B₁を用いて下

位の重み付き2進素子B₂、B₃及びB₄に多重化処理を施すようする。即ち

B₁によって電流源1/2を作動させる。

B₂によって電流源1/4又は1/8を作動させる。

B₃によって電流源1/8又は1/16を作動させる。

B₄によって電流源1/16又は1/32を作動させる。

これがため、B₄=0を得る。

B₁によって電流源1/2を不作動とする。

B₂によって電流源1/4を作動させる。

B₃によって電流源1/8を作動させる。

B₄によって電流源1/16を作動させる。

これがため、B₄=1を得る。

B₁によって電流源1/2を不作動とする。

B₂によって電流源1/8を作動させる。

B₃によって電流源1/16を作動させる。

B₄によって電流源1/32を作動させる。

低レベルの輝度を増大させるためには2進素子B₁、B₂、B₃及びB₄に接続された論理ORゲートによって電流源1/4を作動させる。これがため、“ガンマ”曲線を良好に近似すると共に必要とする

電流源の変化を用いる利点がある。この値は変化すると共にこれを2倍の重みに相当させる必要はない。

かかる変換回路によって次表1に示すような単色階調スケールを得ることができる。これがため従来の陰極線管のガンマ曲線に充分満足する曲線を得ることができる。

表 1

符号		出力 (I)
0	0	0
1	10/32	5/16
2	12/32	3/8
3	14/32	7/16
4	15/32	1/2
5	18/32	9/16
6	20/32	5/8
7	22/32	11/16
8	24/32	3/4
9	25/32	25/32
10	26/32	13/16

11	27/32	27/32
12	28/32	7/8
13	29/32	29/32
14	30/32	15/16
15	31/32	31/32

かかるデジタル-アナログ変換回路は構成が簡単で経済的である。本発明によれば多数の2進素子例えば5個を32回の単位ステップで作動させることにより、良好な曲線の近似を得ることができる。又、制御回路によって多数の制御信号を得、これによりセレクタを作動させると共に曲線に近い傾斜の増分又は減分を得ることができる。

図面につき本発明を説明する。

第1図に示す本発明デジタル-アナログ変換回路には $p = 4$ 個の2進素子を有するレジスタ11を設ける。レジスタ11をセクレクタ13に接続すると共に制御回路14に接続し、これにより出力導線16にセレクタ13を制御する s 個のデジタル制御信号を供給する。セレクタ13及び制御回路14によって変換手段18を構成する。本発明の第1例では

変換手段18に、出力段12を直接作動する論理ゲートを設けない。セレクタ13を出力段12に接続し、本例では出力段12の数を $p+2^s-1$ 個とする。これら出力段12を加算器15に接続し、これからデジタル-アナログ変換回路の出力信号を発生させる。デジタル制御信号を s 個とすることにより出力信号を表わす曲線を 2^s 個のセグメントに分割することができる。

本発明の第2例にも関連するセレクタ13の動作機構を第2図に詳細に示す。本例では上述した変換手段18に、加算器15にも接続された出力段12を直接作動させる論理ゲートを設ける。

制御回路14はレジスタ11から5個の2進素子 B_1 ～ B_5 を受ける。ここに B_1 は最下位の重み付き2進素子とし、 B_5 は最上位の重み付き2進素子とする。5個の2進素子を用いることにより入力符号には32個の可能な組合せが存在する。セレクタ13に接続された出力段12によって2倍の重みに従って電流を供給し得るようにする。制御回路14によりセレクタ13を作動する制御信号を発生し、セレクタ

によってレジスタ11の出力を一括して桁送りすると共にこれら出力を、2倍の重みを連続して増大する(又は減少する)ように配列された電流源に向かって供給し得るようにする。レジスタ11の2進素子の幾つか又は全部に影響を与えるこれらの桁送りは 2^s の可能な組合せで繰返すことができる。近似すべき曲線の形状に依存して 2^s の可能な組合せの幾つかを用いる必要がある。2のべき数を変化する傾斜で4個のセグメントを用いて表示管のガンマ曲線を近似するために制御回路14によってデジタル制御信号 C_1 、 C_2 及び C_3 を次に示すような条件で発生させるようとする。

$$C_1 = \overline{B_4 + B_5}, \quad C_2 = \overline{B_5}, \quad C_3 = \overline{B_4 \cdot B_5}$$

ここに、記号(+)は論理OR関数を示し、記号(・)は論理AND関数を示し、記号(--)は論理“反転”関数を示す。

デジタル制御信号 C_1 、 C_2 又は C_3 が論理状態“0”にある場合にはこれら制御信号によってセレクタをセットし、これらセレクタが第2図の上側の位置に制御されるようとする。又、デジタ

ル制御信号C1, C2又はC3が論理状態“1”にある場合にはこれら制御信号によってセレクタを、これらが第2図の下側の位置に制御されるようにセットする。セレクタの出力によって次に示す電流源1, 2I, 4I, 8I, 16I, 32I, 64I及び96Iを作動させるようとする。ここに値Iは単位電流増分を示す。区分化された曲線を示すこれら出力信号はその全部を桁送りすることができる。この桁送りは1個以上の論理ゲート20を用い、これら論理ゲートによって1個以上の電流源を作動させることにより行う。論理ゲートの値Idは得るべき桁送りの振幅によって決めるようとする。

本発明の経済的で好適な例として4個の2進素子の入力符号及び1個の論理ORゲートより成る簡単なディジタルーアナログ変換回路を第3図に示す。

本例ではレジスタ11に入力符号の4個の2進素子を記憶する。又、本例では2値の重みに従って出力信号を増分する全部で6個の段によって出力段12を構成する。この出力段は、1/2, 1/4, 1/8,

1/16, 1/32及び1/4の重みを付けた6個の電流発生器により構成する。最上位の重みを付けた2進素子B₄により制御されるセレクタ13によって2進素子B₁, B₂及びB₃を一括して、所定時間毎々の電流源に向けるようとする。即ち、

B₃によって電流源1/4又は1/8を制御する。

B₂によって電流源1/8又は1/16を制御する。

B₁によって電流源1/16又は1/32を制御する。

論理ORゲートは、2進素子B₁, B₂, B₃及びB₄を受けて他の電流源例えば1/4を制御する信号を発生する。2進素子B₄によって電流源1/2を制御する。

6個の出力段12の出力を加算器15に供給して種々の出力電流を加算しこれによりテレビジョン受像機又はグラフィック表示装置の適当な回路を作動させる。

セレクタ13の更に詳細な構成を第4図に示す。即ちセレクタ13は、入力信号B₄の反転信号B₄を発生する反転スイッチ21と、信号B₁及びB₂を受けるANDゲート22と、信号B₃及びB₄を受けるANDゲート23と、

ト23と、信号B₁及びB₂を受けるANDゲート24と、信号B₄及びB₃を受けるANDゲート25と、信号B₁及びB₃を受けるANDゲート26と、信号B₂及びB₃を受けるANDゲート27と、ANDゲート23及び24の出力を受けるORゲート28と、ANDゲート25及び26の出力を受けるORゲート29とを備える。

6個の電流源により形成される6個の出力段12は次に示すように制御する。

電流源1/2を信号B₄により制御する。

電流源1/4をANDゲート22の出力により制御する。

電流源1/8をORゲート28の出力により制御する。

電流源1/16をORゲート29の出力により制御する。

電流源1/32をANDゲート27の出力により制御する。

従って制御信号は2進素子B₄及び反転スイッチ21により供給される反転信号B₄によって構成する。

セレクタ13は第4図につき上述したように構成する。しかし、このセレクタを、使用する技術に従って、例えばMOS技術を用いる場合には簡単

なトランジスタによって構成することもできる。従ってこの場合にはトランジスタは信号B₄又はB₄により制御される移送素子として作用する。

第5図は4個の2進素子の符号による本発明変換回路の応答曲線31を示す。この曲線は、係数 $\tau = 1.5$ を有する陰極線管の“ガンマ”曲線32に著しく近似している。

第6図は第2図に示す5個の2進素子の符号による本発明変換回路の2つの応答曲線を示す。即ち曲線61は夫々2のべき数で減少する傾斜を有する4つのセグメントを用いた“ガンマ”曲線の近似曲線である。この曲線は、論理ゲート20が存在せず、従って電流源Idを作動しない場合の第2図の回路によって形成する。又、曲線62は夫々2のべき数で減少する傾斜で4個のセグメントを用いて形成して“ガンマ”曲線の近似を示すが、この場合第1セグメントは曲線61が原点で桁送りされている。この桁送りは、5個の入力端子を有する論理ORゲートを用い、これにより5個の入力2進素子のうちの1つが論理“1”的状態にある場合

に電流源 I_d を作動させて行うことができる。表示管のガンマ曲線に近似するディジタル-アナログ変換回路の出力信号は通常の増幅回路を用いる表示管の通常の回路に適合する。

上述した本発明によるディジタル-アナログ変換回路を3個用いて、通常の陰極線管表示装置の3原色、赤、緑及び青を個別に処理する。これがため、各色に対し、4個の2進素子の符号による16個の陰影階調レベルが存在するが、このレベルは、1, 2, ..., 複数個の追加の2進素子を追加して32, 64, ...の階調レベルに容易に増大させることができる。この色階調はコンピュータ処理により得られる特に合成像の再生に用いることができる。かくして構成した像を忠実に再生するためには各色の強度に対し極めて広範囲の階調を必要とする。本発明変換回路は4個以上の2進素子の入力符号の場合でも容易に像再生を行うことができる。

上述したディジタル-アナログ変換回路は、マルチプレクサ及びORゲートを有する通常のディ

ジタル-アナログ変換器を用いて形成することができる。価格を低減するためには、これら回路素子の全部を集積化して単一の変換回路を構成するのが好適である。

本発明は $1/\tau \approx 0.66$ とした場合の $v^{1/2}$ 型の曲線に近似するものとして説明した。しかし、完全な等価回路を用いて $\beta = 1.5$ の場合の v^β 型の曲線に近似させることもできる。この場合には第7図に示すように出力段12の電流源の重みを変更する必要がある。即ちレジスタ11によってセレクタ13に2進素子 B_1 , B_2 及び B_3 を供給し、最上位の重みを有する2進素子 B_4 によって重み係数 $1/4$ の電流源を作動させる。セレクタ13は値、即ち重み係数 $1/4$, $1/8$, $1/16$ 及び $1/32$ の電流源に接続する。このセレクタ13は2進素子 B_4 により制御すると共にこれによって2進素子 B_1 , B_2 及び B_3 を2つの可能な組合せで桁送りする。 $1/\tau \approx 0.66$ で $v^{1/2}$ に近似する回路の場合とは相違し、本例ではセレクタによって2進素子 B_4 が論理“0”的状態にある際に2進素子 B_1 , B_2 及び B_3 を最下位の重み付き電流源に向

けて桁送りし、その逆の状態の場合にこれら2進素子を最上位の重み付き電流源に向けて桁送りする。論理ANDゲート14'は4個の2進素子を受けて出力信号を発生し、この信号によって重み係数 $1/4$ の電流源を作動させる。この重み係数の値は2倍の重みに従う値とする必要はない。これがため、 $\beta = 1.5$ を有し、即ち増大する傾斜 P_β で v^β 型の曲線の近似を得ることができ、この場合には傾斜変化 ΔP_β は常時正とする。

4. 図面の簡単な説明

第1図は出力段を直接作動する論理ゲートを有さない場合の本発明ディジタル-アナログ変換回路の1例を示すブロック回路図。

第2図は出力段を直接作動する論理ゲートを有する場合の本発明ディジタル-アナログ変換回路の他の例を示すブロック回路図。

第3図は表示管の“ガンマ”曲線の逆数の近似を行う場合の本発明変換回路の他の例を示すブロック回路図。

第4図は第3図に示すセレクタの詳細な接続配

置を示す回路図。

第5図は“ガンマ”曲線の形状及び第3図の変換回路の出力信号から得た近似曲線の形状とを示す特性図。

第6図は出力段を直接作動する論理ゲートを設ける場合及び設けない場合における第2図の変換回路の出力信号から得た近似曲線の形状を示す特性図。

第7図は正の傾斜変化を有する曲線の近似の場合における本発明変換回路の更に他の例を示すブロック回路図である。

11…レジスタ	12…出力段
13…セレクタ	14…制御回路
14'…論理AND ゲート	15…加算器
16…導線	18…変換手段
21…反転スイッチ	22~27…AND ゲート
28, 29 …ORゲート	

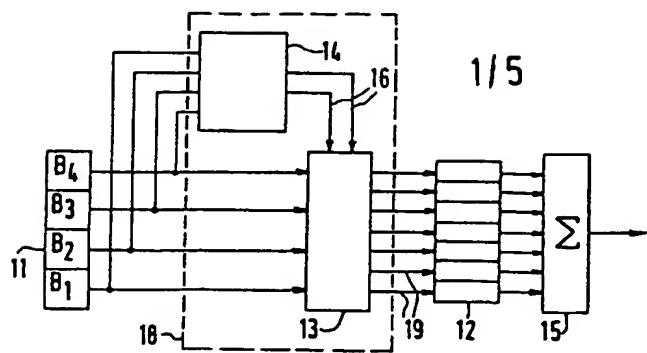


FIG.1

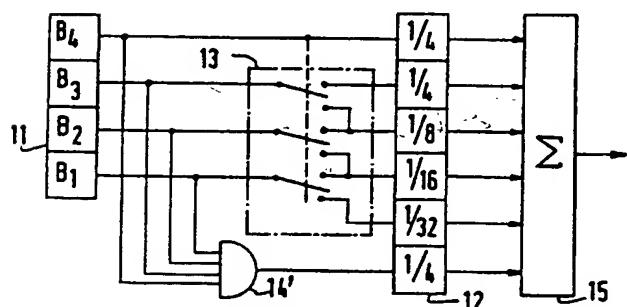


FIG.7

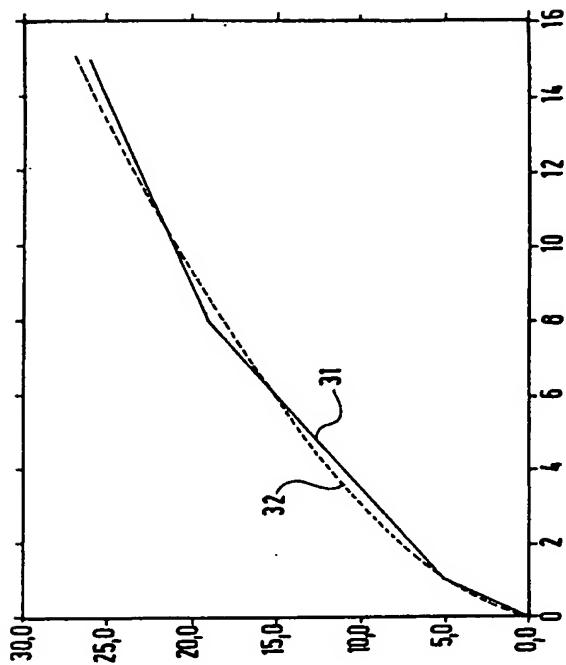


FIG.5

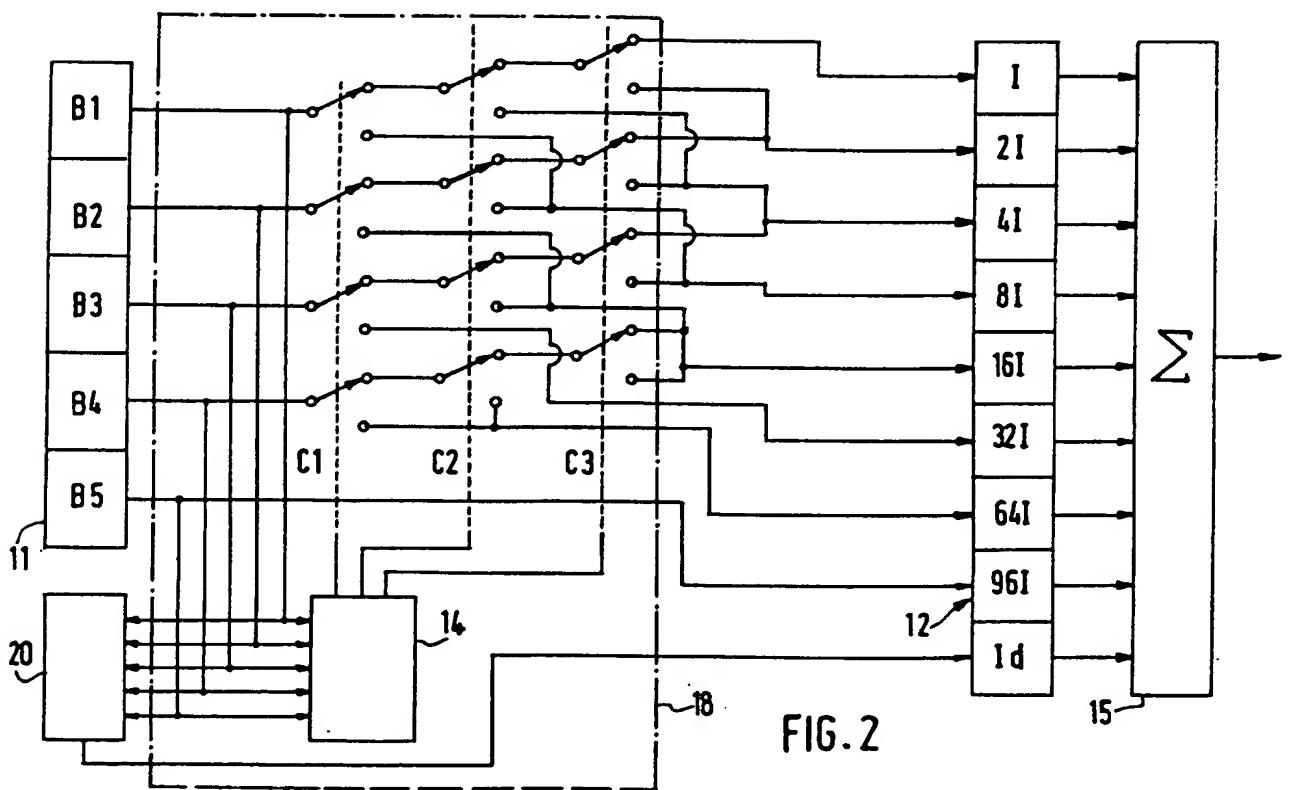


FIG.2

